

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-7250  
(P2001-7250A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル*(参考)
H 0 1 L 23/12		H 0 1 L 23/12	B 4 E 3 5 1
H 0 5 K 1/03	6 3 0	H 0 5 K 1/03	6 3 0 A 5 E 3 4 6
1/16		1/16	D
3/46		3/46	N
			Q
審査請求 未請求 請求項の数3 O L (全 8 頁)			

(21)出願番号 特願平11-179824

(22)出願日 平成11年6月25日(1999.6.25)

(71)出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72)発明者 広瀬 直宏

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北工場内

(72)発明者 野田 宏太

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北工場内

(74)代理人 100095795

弁理士 田下 明人 (外1名)

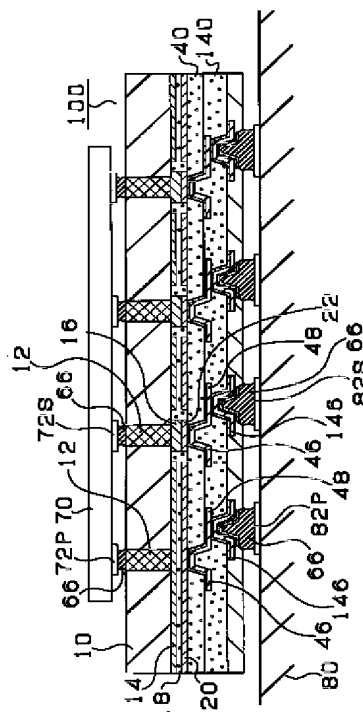
最終頁に続く

(54)【発明の名称】 パッケージ基板

(57)【要約】

【課題】 大容量のコンデンサをICチップの近傍に配置できるパッケージ基板を提供する。

【解決手段】 パッケージ基板100では、ICチップ70を取り付けるセラミック板10側に電源用コンデンサ18を配置するため、ICチップとコンデンサとの距離が短くなり、大電力を瞬時的にICチップ側へ供給することが可能になる。また、シリコンから成り熱膨張率の小さなICチップ70を、熱膨張率の小さなセラミック板10側に取り付け、樹脂から成り熱膨張率の大きなドータボード80を、熱膨張率の大きな層間樹脂絶縁層40、140側に取り付ける。このため、熱膨張差に起因するクラック等の発生を防げる。



【特許請求の範囲】

【請求項1】 セラミック板上に、層間樹脂絶縁層及び配線層をビルドアップしてなるパッケージ基板であって、  
前記セラミック板上にICチップへの接続用のバンプを配設し、  
前記層間樹脂絶縁層上の配線層に外部基板への接続用のバンプ又はピンを配設し、  
前記セラミック板と前記層間樹脂絶縁層との間に、誘電体層を介在させた1対のプレーン層から成るコンデンサを配設したことを特徴とするパッケージ基板。

【請求項2】 前記コンデンサを電源用のコンデンサとしたことを特徴とする請求項1のパッケージ基板。

【請求項3】 前記誘電体層が、酸化チタン塩あるいはペロスカイト系材料で形成されてなることを特徴とする請求項1又は2のパッケージ基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 ICチップなどの電子部品を載置するパッケージ基板に関し、特にセラミック板上に、層間樹脂絶縁層及び配線層をビルドアップしてなるパッケージ基板に関するものである。

【0002】

【従来の技術】 パッケージ基板として、セラミック板上に、層間樹脂絶縁層及び配線層をビルドアップしてなる多層配線板が知られている。かかる多層配線板では、図8に示すようにスルーホール212を配設して成るセラミック板210の上に、層間樹脂絶縁層240、340を配設してある。該層間樹脂絶縁層240には、バイアホール246及び導体回路248が形成され、層間樹脂絶縁層340には、バイアホール346が形成されている。当該多層配線板では、セラミック板210側にバンプ266を介してドーターボード280が接続され、層間樹脂絶縁層340側にバンプ266を介してICチップ270が接続されている。

【0003】 現在、ICチップは、能力の向上に伴い、消費する瞬間電力も飛躍的に増大している。かかる電力を瞬時的に供給するため、パッケージ基板では、表面にチップコンデンサ299を実装してある。

【0004】

【発明が解決しようとする課題】 しかしながら、上述した表面に実装するチップコンデンサでは、内部で配線を取り回す必要があるため、ICチップ270からの配線長が長くなり、ICチップに要求される瞬時電力を供給することが困難になっている。

【0005】 本発明は上述した課題を解決するためなされたものであり、その目的とするところは、大容量のコンデンサをICチップの近傍に配置できるパッケージ基板を提供することにある。

【0006】

【課題を解決するための手段】 上述した課題を解決するため、請求項1のパッケージ基板では、セラミック板上に、層間樹脂絶縁層及び配線層をビルドアップしてなるパッケージ基板であって、前記セラミック板上にICチップへの接続用のバンプを配設し、前記層間樹脂絶縁層上の配線層に外部基板への接続用のバンプ又はピンを配設し、前記セラミック板と前記層間樹脂絶縁層との間に、誘電体層を介在させた1対のプレーン層から成るコンデンサを配設したことを技術的特徴とする。

【0007】 請求項2のパッケージ基板は、請求項1において、前記コンデンサを電源用のコンデンサとしたことを技術的特徴とする。

【0008】 請求項3のパッケージ基板は、請求項1又は2において、前記誘電体層が、酸化チタン塩あるいはペロスカイト系材料で形成されてなることを技術的特徴とする。

【0009】 請求項1では、ICチップを取り付けるセラミック板側にコンデンサを配置するため、ICチップとコンデンサとの距離が短くなり、コンデンサの電気特性を高めることができる。シリコンから成り熱膨張率の小さなICチップを、熱膨張率の小さなセラミック板側に取り付け、樹脂から成り熱膨張率の大きな外部基板を、熱膨張率の大きな層間樹脂絶縁層側に取り付ける。このため、熱膨張差に起因するクラック等の発生を防げる。また、平坦なセラミック板上にファインピッチなICチップのパッドを取り付けるため、接続信頼性を高めることができる。更に、熱伝導性、耐熱性の高いセラミック板側をICチップに取り付けるため、ICチップを効率的に冷却できると共に、高熱時の信頼性を高めることが可能となる。

【0010】 請求項2では、ICチップを取り付けるセラミック板側に電源コンデンサを配置するため、ICチップと電源コンデンサとの距離が短くなり、大電力を瞬時的にICチップ側へ供給することが可能になる。

【0011】 請求項3では、誘電体層が、誘電率の高い酸化チタン塩あるいはペロスカイト系材料で形成されているため、コンデンサを大容量に形成できる。また、誘電体層を焼成して形成すれば、層自体を薄くすることができる。前述の誘電体層で用い得るチタン酸塩とは、チタン酸バリウム、チタン酸鉛系、チタン酸ストロンチウム、チタン酸カルシウム、チタン酸ビスマス、チタン酸マグネシウムからなるチタン酸と金属との合金材料を意味して、ペロスカイト系材料とは、少なくとも $Mg_xNbyOz$ である合金材料全般を意味する。その中でもチタン酸バリウムを用いることがよい。その理由として誘電率が10以上にしやすく、金属層と誘電体層との密着が優れているからである。

【0012】

【発明の実施の形態】 以下、本発明の実施形態について図を参照して説明する。先ず、本発明の第1実施形態に

係るパッケージ基板の構成について、断面図を示す図4～図6を参照して説明する。図4に示すようにパッケージ基板100は、セラミック板10と、ビルドアップ層を構成する層間樹脂絶縁層40、140とからなる。セラミック板10には、スルーホール12が形成されて、該スルーホール12には、図5に示すようにICチップ70のパッド72への接続用のバンプ66が形成されている。一方、層間樹脂絶縁層40には、バイアホール46及び導体回路48が形成され、層間樹脂絶縁層140には、導体回路48へ接続されたバイアホール146が形成されている。該バイアホール146には、図5に示すようにドータボード80のパッド82への接続用のバンプ66が配設されている。

【0013】該セラミック板10と層間樹脂絶縁層40との間には、絶縁層18をプレーン層14とプレーン層20との間に配設してなる電源用コンデンサが設けられている。図4中のプレーン層14のX-X横断面を図6に示す。図6のZ-Z線が、図4の切断端に相当する。該プレーン層14には、開口14aが設けられ、該開口14a内には、セラミック板10側のスルーホール12と層間樹脂絶縁層40側のバイアホール46とを接続するための配線16が設けられている。

【0014】図5で示すドータボード80の信号用のパッド82Sは、バンプ66－バイアホール146－導体回路48－バイアホール46－配線22－配線16－スルーホール12－バンプ66を介して、ICチップ70の信号用のパッド72Sへ接続されている。

【0015】ドータボード80の電源用のパッド82Pは、バンプ66－バイアホール146－導体回路48－バイアホール46を介して電源用コンデンサの電極を構成するプレーン層20へ接続されている。一方、ICチップの電源用のパッド72Pは、バンプ66及びスルーホール12を介して、上述した電源用コンデンサの他方の電極を構成するプレーン層14へ接続されている。即ち、ドータボード80から電源用コンデンサへ供給された電力は、ICチップ直下のスルーホール12を介してICチップ側へ供給される。

【0016】本実施形態のパッケージ基板100では、ICチップ70を取り付けるセラミック板10側に電源用コンデンサを配置するため、ICチップとコンデンサとの距離が短くなり、大電力を瞬時的にICチップ側へ供給することが可能になる。また、シリコンから成り熱膨張率の小さなICチップ70を、熱膨張率の小さなセラミック板10側に取り付け、樹脂から成り熱膨張率の大きなドータボード80を、熱膨張率の大きな層間樹脂絶縁層40、140側に取り付ける。このため、熱膨張差に起因するクラック等の発生を防げる。

【0017】また、平坦なセラミック板上にファインピッチなICチップのパッド72P、72Sを取り付けるため、接続信頼性を高めることができる。即ち、ICチ

ップ70側のパッドは、数十 $\mu\text{m}$ のピッチであるのに対して、ドータボード80側のパッドは、数百 $\mu\text{m}$ のピッチである。図8を参照して上述した従来技術のパッケージ基板では、凹凸の有る層間樹脂絶縁層340側にファインピッチなICチップ側のパッドを取り付けていたのに対して、本実施形態では、凹凸のないセラミック板10側のバンプ66をICチップに取り付けるため、信頼性を高めることができる。

【0018】更に、熱伝導性、耐熱性の高いセラミック板10側をICチップ70に取り付けるため、ICチップを効率的に冷却できると共に、樹脂の熱溶解が無くなり、高熱時の信頼性を高めることが可能となる。また、本実施形態のパッケージ基板では、誘電体層18が、誘電率の高い酸化チタンバリウムから構成されており、コンデンサを大容量に形成できる。

【0019】ひき続き、図4を参照して上述したパッケージ基板の製造方法について、図1～図3を参照して説明する。

(1) アルミナ－ホウケイ酸鉛ガラス粉末を周知の方法で、200～1000 $\mu\text{m}$ のグリーンシート10 $\alpha$ にする。そして、該グリーンシート10 $\alpha$ にスルーホール形成用の通孔10aを穿設する(図1に示す工程(A))。

【0020】(2)グリーンシート10 $\alpha$ の通孔10aに、Agペースト12 $\alpha$ を充填する(工程(B))。

【0021】(3)次に、Agペースト14 $\alpha$ を、図6を参照して上述したプレーン層14及び配線16を形成し得るように印刷する(工程C)。その後、酸化チタンバリウムを周知の方法でグリーンシート18 $\alpha$ にし、上記配線部16に対応させて通孔を設けてから、該Agペースト16の上に載置する(工程(D))。引き続き、Agペースト20 $\alpha$ を、図4に示すプレーン層20及び配線22を形成し得るように印刷する(工程G)。

【0022】(4)これら各シートを熱圧着した後、空気中において950℃で30分間焼成し、スルーホール12を備えるセラミック板10、及び、プレーン層16、誘電体層18、プレーン層20から成る電源用コンデンサを形成する(工程(F))。本実施形態では、誘電体層18を焼成により形成するため、酸化チタンバリウム等の高誘電率材料を用いることができ、大容量のコンデンサを形成することが可能となる。なお、焼成後、セラミック板10のICチップを載置する側の表面を研磨して平坦にすることもできる。

【0023】(5)次に、プレーン層20の上に絶縁樹脂40 $\alpha$ を塗布する(図2に示す工程(G))。絶縁樹脂としては、エポキシ、BT、ポリイミド、オレフィン等の熱硬化性樹脂、又は、熱硬化性樹脂と熱可塑性樹脂との混合物を用いることができる。また、樹脂を塗布する代わりに、樹脂フィルムを貼り付けることもできる。

【0024】(6)絶縁樹脂40 $\alpha$ を加熱して硬化させ層

間樹脂絶縁層40とした後、CO<sub>2</sub>レーザ、YAGレーザ、エキシマレーザ又はUVレーザにより、層間樹脂絶縁層40に、プレーン層20又は配線22へ至る開口径100～250 $\mu$ mの非貫通孔40aを形成する(工程(G))。

【0025】(7)デスミヤ処理を施した後、パラジウム触媒を付与し、無電解めっき液へ浸漬して、層間樹脂絶縁層40の表面に均一に厚さ15 $\mu$ mの無電解めっき膜42を析出させる(工程(I))。ここでは、無電解めっきを用いているが、スパッタにより銅、ニッケル等の金属膜を形成することも可能である。スパッタはコスト的には不利であるが、樹脂との密着性を改善できる利点がある。

【0026】(8)引き続き、無電解めっき膜42の表面に感光性ドライフィルムを張り付け、マスクを載置して、露光・現像処理し、厚さ15 $\mu$ mのめっきレジスト43を形成する(工程(J))。そして、セラミック板10を無電解めっき液に浸漬し、無電解めっき膜42を介して電流を流してレジスト43の非形成部に電解めっき44を形成する(工程(K))。

【0027】(9)そして、レジスト43を5%KOHで剥離除去した後、硫酸と過酸化水素混合液でエッチングし、めっきレジスト下の無電解めっき膜42を溶解除去し、無電解めっき42及び電解銅めっき44からなる厚さ18 $\mu$ m(10～30 $\mu$ m)の導体回路48及びバイアホール46を得る(図3に示す工程(L))。

【0028】更に、クロム酸に3分間浸漬して、導体回路48間の層間樹脂絶縁層40の表面を1 $\mu$ mエッチング処理し、表面のパラジウム触媒を除去する。更に、第2銅錯体と有機酸とを含有するエッチング液により、導体回路48及びバイアホール46の表面に粗化面(図示せず)を形成し、さらにその表面にSn置換を行う。

【0029】(10)上述した(5)～(9)の処理を繰り返して、層間樹脂絶縁層140及びバイアホール146を形成する(工程(M))。

【0030】上述したパッケージ基板にはんだバンプを形成する。基板の両面に、ソルダーレジスト組成物を20 $\mu$ mの厚さで塗布し、乾燥処理を行った後、円パターン(マスクパターン)が描画された厚さ5mmのフォトマスクフィルム(図示せず)を密着させて載置し、紫外線で露光し、現像処理する。そしてさらに、加熱処理し、はんだパッド部分(バイアホールとそのランド部分を含む)の開口60aを有するソルダーレジスト層(厚み20 $\mu$ m)60を形成する(工程(N))。

【0031】その後、塩化ニッケル $2.3 \times 10^{-1} \text{mol/l}$ 、次亜リン酸ナトリウム $2.8 \times 10^{-1} \text{mol/l}$ 、クエン酸ナトリウム $1.6 \times 10^{-1} \text{mol/l}$ 、からなるpH=4.5の無電解ニッケルめっき液に、20分間浸漬して、開口部60aに厚さ5 $\mu$ mのニッケルめっき層62を形成する。さらに、その基板を、シアン化金カリウ

$7.6 \times 10^{-3} \text{mol/l}$ 、塩化アンモニウム $1.9 \times 10^{-1} \text{mol/l}$ 、クエン酸ナトリウム $1.2 \times 10^{-1} \text{mol/l}$ 、次亜リン酸ナトリウム $1.7 \times 10^{-1} \text{mol/l}$ からなる無電解金めっき液に80℃の条件で7.5分間浸漬して、ニッケルめっき層62上に厚さ0.03 $\mu$ mの金めっき層64を形成する(工程(O))。

【0032】そして、ソルダーレジスト層60の開口部60aに、半田ペーストを充填する(図示せず)。その後、開口部62に充填された半田を200℃でリフローすることにより、半田バンプ(半田体)66を形成する(図4参照)。

【0033】次に、該パッケージ基板へのICチップの載置及び、ドータボードへの取り付けについて、図5を参照して説明する。完成したパッケージ基板100の半田バンプ66にICチップ70の半田パッド72が対応するように、ICチップ70を載置し、リフローを行うことで、ICチップ70の取り付けを行う。同様に、パッケージ基板100の半田バンプ66にドータボード80のパッド82をリフローすることで、ドータボード80へパッケージ基板100を取り付ける。

【0034】引き続き、本発明の第2実施形態に係るパッケージ基板について、図7を参照して説明する。第2実施形態のパッケージ基板は、上述した第1実施形態とほぼ同様である。但し、この第2実施形態のパッケージ基板では、ドータボード側に導電性ピン166が配設され、該導電性ピン166を介してドータボードとの接続を取るように形成されている。図7では、導電性ピン166は、突起物のあるT型であるが、一般に使用されているT型ピンを用いてもよい。材質は42アロイなどの合金がよい。

【0035】上述した第1、第2実施形態では、セラミック板10の下側のコンデンサを電源用に用いたが、このコンデンサをアースに用いることも可能である。更に、この実施形態では、パッケージ基板の内層のみにコンデンサを配置したが、パッケージ基板の表面にチップコンデンサを配設することも可能である。

【0036】

【発明の効果】本発明の構造のパッケージ基板により、コンデンサが内蔵されるためにICチップとコンデンサと電源との距離が短くなり、大容量の電力を瞬間的にICチップへの供給が可能となり、かつ、熱膨張係数が整合されるために、層間樹脂絶縁層でのクラックが生じ難い。故に、信頼性が向上される。また、セラミック基板上にICチップが配置されているので、ICチップから放出される熱もセラミック基板からも拡散されるので、セラミック基板と樹脂層との界面付近でのクラックや剥離も防止される。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るパッケージ基板の製造工程図である。

【図2】本発明の第1実施形態に係るパッケージ基板の製造工程図である。

【図3】本発明の第1実施形態に係るパッケージ基板の製造工程図である。

【図4】本発明の第1実施形態に係るパッケージ基板の断面図である。

【図5】本発明の第1実施形態に係るパッケージ基板の断面図である。

【図6】図4に示すパッケージ基板のX-X横断面図である。

【図7】本発明の第2実施形態に係るパッケージ基板の断面図である。

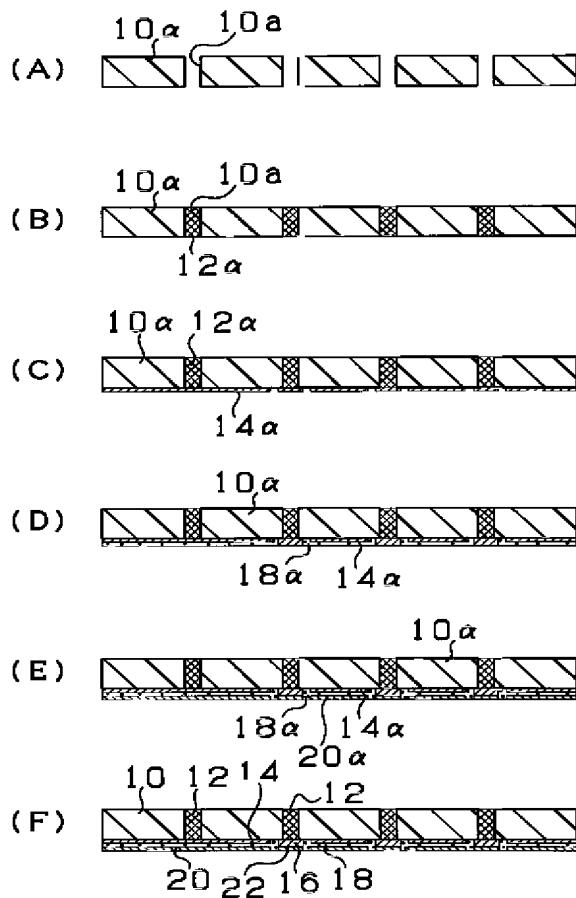
【図8】従来技術に係るパッケージ基板の断面図である。

【符号の説明】

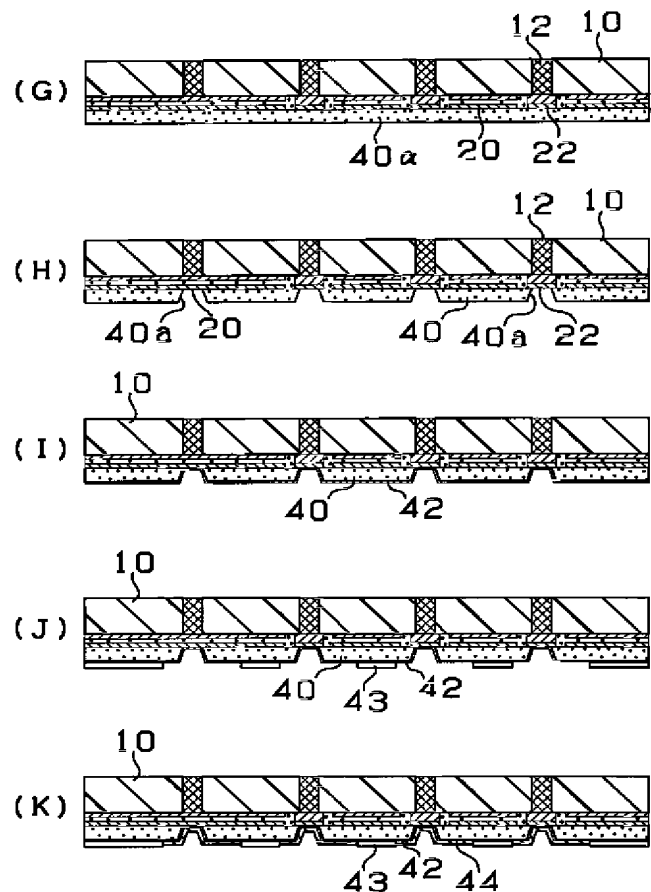
10 セラミック板  
10a 通孔  
12 スルーホール  
14 プレーン層  
16 配線  
18 誘電体層

20 プレーン層  
22 配線  
40 層間樹脂絶縁層  
40a 非貫通孔  
42 無電解めっき膜  
43 レジスト  
44 電解めっき  
46 バイアホール  
48 導体回路  
60 ソルダーレジスト  
60a 開口部  
62 ニッケルめっき膜  
64 金めっき膜  
66 半田バンプ  
70 ICチップ  
72 パッド  
80 ドータボード  
82 パッド  
140 樹脂層  
146 バイアホール  
166 導電性ピン

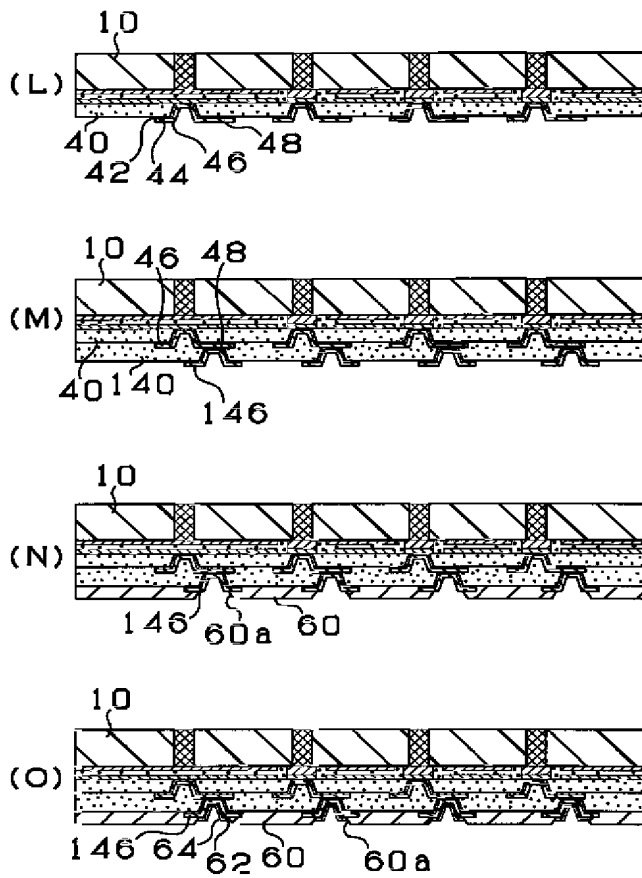
【図1】



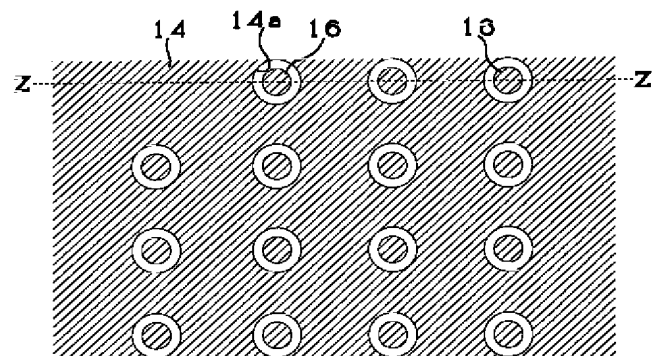
【図2】



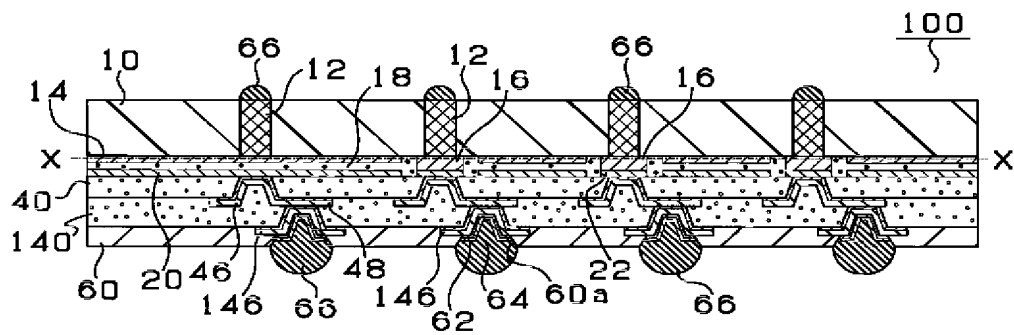
【図3】



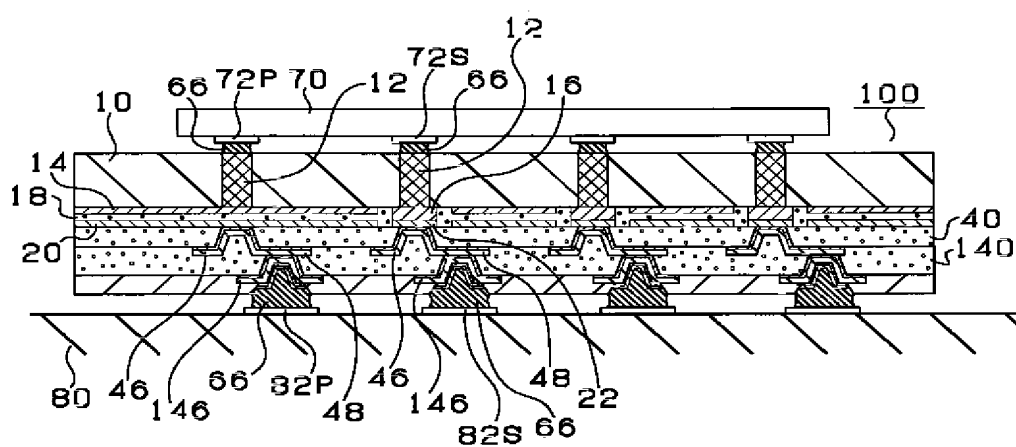
【図6】



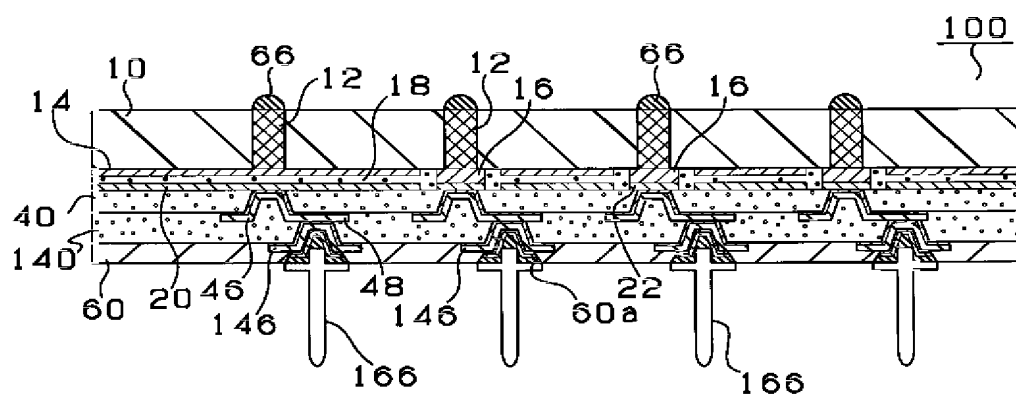
【図4】



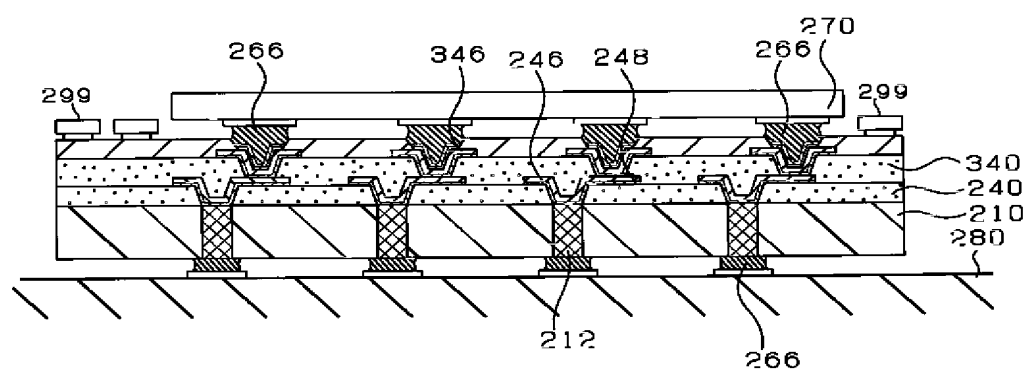
【例 5】



【例 7】



【图8】



フロントページの続き

F ターム(参考) 4E351 AA07 BB01 BB03 BB22 BB26  
BB31 BB33 BB35 BB49 CC12  
CC22 DD05 DD11 DD42 DD43  
DD52 EE01 GG06 GG07  
5E346 AA23 AA25 AA43 BB07 BB11  
CC09 CC17 CC21 CC39 CC57  
DD03 DD07 DD13 DD25 DD32  
DD45 EE31 EE34 FF03 FF18  
FF22 GG04 GG06 GG07 GG08  
GG15 GG17 GG19 GG22 GG28  
HH02 HH05 HH06 HH25 HH26  
HH31

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007250

(43)Date of publication of application : 12.01.2001

---

(51)Int.Cl. H01L 23/12

H05K 1/03

H05K 1/16

H05K 3/46

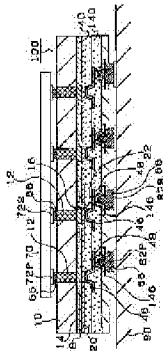
---

(21)Application number : 11-179824 (71)Applicant : IBIDEN CO LTD

(22)Date of filing : 25.06.1999 (72)Inventor : HIROSE NAOHIRO  
NODA KOTA

---

(54) PACKAGE SUBSTRATE



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a package substrate where the capacitor of large capacity can be arranged near an IC chip.

SOLUTION: Since a power capacitor 18 is arranged on the side of a ceramic board 10 to which an IC chip 70 is fitted in a package substrate 100, a distance between the IC chip and the capacitor becomes short and large power can instantaneously be supplied to the side of the IC chip. The IC chip 70 which is formed of silicon and whose thermal expansion coefficient is small is fitted to the side of the ceramic board 10 whose thermal expansion coefficient is small, and a daughter board 80 which is formed of resin and whose thermal expansion coefficient is large is fitted to the side of interlayer resin insulating layers 40 and 140 whose thermal expansion coefficients are large. Thus, the occurrence of a crack owing to a thermal expansion difference can be prevented.

---

## LEGAL STATUS

[Date of request for examination] 09.05.2006

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] It is the package substrate which comes to carry out the build up of the resin insulating layer between layers, and the wiring layer on a ceramic plate.

The bump for connection with IC chip is arranged on said ceramic plate, and the bump or pin for connection with an external substrate is arranged in the wiring layer on said resin insulating layer between layers. Between said ceramic plate and said resin insulating layer between layers The package substrate characterized by arranging the capacitor which consists of one pair of plane layers between which the dielectric layer was made to be placed.

[Claim 2] The package substrate of claim 1 characterized by using said capacitor as the capacitor for power sources.

[Claim 3] Claim 1 or 2 package substrates with which said dielectric layer is characterized by coming to be formed with a titanium oxide salt or a PEROSU kite system ingredient.

---

[Translation done.]

\* NOTICES \*

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] It is also related with the package substrate which comes to carry out the build up of the resin insulating layer between layers, and the wiring layer especially on a ceramic plate about the package substrate which lays electronic parts, such as IC chip.

[0002]

[Description of the Prior Art] As a package substrate, the multilayer-interconnection plate which comes to carry out the build up of the resin insulating layer between layers and the wiring layer on a ceramic plate is known. With this multilayer-interconnection plate, the resin insulating layer 240,340 between layers is arranged on the ceramic plate 210 which arranges a through hole 212 and changes as shown in drawing 8 . this resin insulating layer 240 between layers -- the Bahia hall 246 and a conductor -- a circuit 248 is formed and the Bahia hall 346 is formed in the resin insulating layer 340 between layers. With the multilayer-interconnection plate concerned, a daughter board 280 is connected to the ceramic plate 210 side through a bump 266, and the IC chip 270 is connected to the resin insulating-layer 340 side between layers through the bump 266.

[0003] Power is also increasing by leaps and bounds at the moment of consuming current and IC chip with improvement in capacity. In order to supply this power in instant, in the package substrate, the chip capacitor 299 is mounted in the front face.

[0004]

[Problem(s) to be Solved by the Invention] However, in the chip capacitor mounted in the front face mentioned above, since it is necessary to manage wiring inside, the wire length from the IC chip 270 becomes long, and it is difficult to supply the instantaneous power required of IC chip.

[0005] The place which it is made in order that this invention may solve the technical problem mentioned above, and is made into the purpose is to offer the package substrate which can arrange a mass capacitor near the IC chip.

[0006]

[Means for Solving the Problem] In order to solve the technical problem mentioned above, in the package substrate of claim 1 It is the package substrate which comes to carry out the build up of the resin insulating layer between layers, and the wiring layer on a ceramic plate. The bump for connection with IC chip is arranged on said ceramic plate, and the bump or pin for connection with an external substrate is arranged in the wiring layer on said resin insulating layer between layers. Between said ceramic plate and said resin insulating layer between layers It makes into a technical feature to have arranged the capacitor which consists of one pair of plane layers between which the dielectric layer was made to be placed.

[0007] The package substrate of claim 2 makes it a technical feature to have used said capacitor as the capacitor for power sources in claim 1.

[0008] The package substrate of claim 3 makes things a technical feature in claim 1 or 2 for coming to form said dielectric layer with a titanium oxide salt or a PEROSU kite system ingredient.

[0009] In claim 1, since a capacitor is arranged to the ceramic plate side furnished with IC chip, the distance of IC chip and a capacitor becomes short and can raise the electrical property of a capacitor. It consists of silicon, and IC chip with a small coefficient of thermal expansion is attached in a ceramic plate side with a small coefficient of thermal expansion, it consists of resin, and an external substrate with a big coefficient of thermal expansion is attached in the resin

insulating-layer side between layers with a big coefficient of thermal expansion. For this reason, generating of the crack resulting from a differential thermal expansion etc. can be prevented. moreover, a flat ceramic plate top -- fine one -- since the pad of pitch IC chip is attached, connection dependability can be raised. Furthermore, since a high thermally conductive and heat-resistant ceramic plate side is attached in IC chip, while being able to cool IC chip efficiently, it becomes possible to raise the dependability at the time of high temperature.

[0010] In claim 2, in order to arrange a power-source capacitor to the ceramic plate side furnished with IC chip, the distance of IC chip and a power-source capacitor becomes short, and it becomes possible to supply large power to IC tip side in instant.

[0011] In claim 3, since the dielectric layer is formed with the titanium oxide salt with a high dielectric constant, or the PEROSU kite system ingredient, a capacitor can be formed in large capacity. Moreover, the layer itself can be made thin if a dielectric layer is calcinated and formed. The titanate which can be used by the above-mentioned dielectric layer means the alloy ingredient of the titanic acid and metal which consist of barium titanate, a lead titanate system, strontium titanate, titanic-acid calcium, a titanic-acid bismuth, and titanic-acid magnesium, and a PEROSU kite system ingredient means the alloy ingredient at large which is  $MgxNbyOz$  at least. It is good to use barium titanate also in it. It is because it is easy to make a dielectric constant or more into ten as the reason and adhesion with a metal layer and a dielectric layer is excellent.

[0012]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained with reference to drawing. First, the configuration of the package substrate concerning the 1st operation gestalt of this invention is explained with reference to drawing 4 which shows a sectional view - drawing 6 . As shown in drawing 4 , the package substrate 100 consists of a ceramic plate 10 and a resin insulating layer 40,140 between layers which constitutes a build up layer. A through hole 12 is formed in the ceramic plate 10, and as shown in drawing 5 ,

the bump 66 for connection with the pad 72 of the IC chip 70 is formed in this through hole 12 at it. on the other hand -- the resin insulating layer 40 between layers -- the Bahia hall 46 and a conductor -- a circuit 48 forms -- having -- the resin insulating layer 140 between layers -- a conductor -- the Bahia hall 146 connected to the circuit 48 is formed. As shown in drawing 5 , the bump 66 for connection with the pad 82 of the DOTA board 80 is arranged in this Bahia hall 146.

[0013] Between this ceramic plate 10 and the resin insulating layer 40 between layers, the capacitor for power sources which comes to arrange an insulating layer 18 between the plane layer 14 and the plane layer 20 is formed. The X-X cross section of the plane layer 14 in drawing 4 is shown in drawing 6 . The Z-Z line of drawing 6 is equivalent to the amputation stump of drawing 4 . Opening 14a is prepared in this plane layer 14, and the wiring 16 for connecting the through hole 12 by the side of the ceramic plate 10 and the Bahia hall 46 by the side of the resin insulating layer 40 between layers is formed in this opening 14a at it.

[0014] pad 82S for the signals of the DOTA board 80 shown by drawing 5 -- bump 66-Bahia hall 146- a conductor -- it connects with pad 72S for the signals of the IC chip 70 through the circuit 48-Bahia hall 46-wiring 22-wiring 16-through hole 12-bump 66.

[0015] pad 82P for the power sources of the DOTA board 80 -- bump 66-Bahia hall 146- a conductor -- it connects with the plane layer 20 which constitutes the electrode of the capacitor for power sources through the circuit 48-Bahia hall 46. On the other hand, pad 72P for the power sources of IC chip are connected to the plane layer 14 which constitutes the electrode of another side of the capacitor for power sources mentioned above through the bump 66 and the through hole 12. That is, the power supplied to the capacitor for power sources is supplied to IC tip side through the through hole 12 directly under IC chip from the DOTA board 80.

[0016] In the package substrate 100 of this operation gestalt, in order to arrange

the capacitor for power sources to the ceramic plate 10 side furnished with the IC chip 70, the distance of IC chip and a capacitor becomes short and it becomes possible to supply large power to IC tip side in instant. Moreover, it consists of silicon, and the IC chip 70 with a small coefficient of thermal expansion is attached in the ceramic plate 10 side with a small coefficient of thermal expansion, it consists of resin, and the DOTA board 80 with a big coefficient of thermal expansion is attached in the resin insulating-layer 40,140 side between layers with a big coefficient of thermal expansion. For this reason, generating of the crack resulting from a differential thermal expansion etc. can be prevented. [0017] moreover, a flat ceramic plate top -- fine one -- since the pads 72P and 72S of pitch IC chip are attached, connection dependability can be raised. That is, the pad by the side of the DOTA board 80 is hundreds of micrometers in pitch to the pad by the side of the IC chip 70 being the pitch of dozens of micrometers. In the package substrate of the conventional technique mentioned above with reference to drawing 8 , since the bump 66 by the side of the ceramic fine plate 10 without irregularity is attached in the resin insulating-layer 340 side between layers with irregularity with this operation gestalt to having attached the pad of pitch IC tip side at IC chip, dependability can be raised.

[0018] Furthermore, since the high thermally conductive and heat-resistant ceramic plate 10 side is attached in the IC chip 70, while being able to cool IC chip efficiently, the heat dissolution of resin is lost and it becomes possible to raise the dependability at the time of high temperature. Moreover, in the package substrate of this operation gestalt, the dielectric layer 18 consists of titanium oxide barium with a high dielectric constant, and can form a capacitor in large capacity.

[0019] It pulls, and it continues and the manufacture approach of the package substrate mentioned above with reference to drawing 4 is explained with reference to drawing 1 - drawing 3 .

(1) Set alumina-lead borosilicate glass powder to 200-1000-micrometer green sheet 10alpha by the well-known approach. And through-hole 10a for through

hole formation is drilled in this green sheet 10alpha (process shown in drawing 1 (A)).

[0020] (2) Fill up through-hole 10a of green sheet 10alpha with Ag paste 12alpha (process (B)).

[0021] (3) Next, print so that the plane layer 14 and wiring 16 which mentioned Ag paste 14alpha above with reference to drawing 6 can be formed (process C). Then, it is made green sheet 18alpha by the approach of common knowledge of titanium oxide barium, and after making it correspond to the above-mentioned wiring section 16 and preparing a through-hole, it lays after this Ag paste 16 (process (D)). Then, it prints so that the plane layer 20 and wiring 22 in which Ag paste 20alpha is shown in drawing 4 can be formed (process G).

[0022] (4) Into air, calcinate for 30 minutes at 950 degrees C, and form the capacitor for power sources which consists of the ceramic plate 10 equipped with a through hole 12 and the plane layer 16, a dielectric layer 18, and the plane layer 20, after carrying out thermocompression bonding of each [ these ] sheet (process (F)). With this operation gestalt, in order to form a dielectric layer 18 by baking, high dielectric constant ingredients, such as titanium oxide barium, can be used, and it becomes possible to form a mass capacitor. In addition, after baking, the front face of the side which lays IC chip of the ceramic plate 10 can be ground, and it can also be made flat.

[0023] (5) Next, apply insulating resin 40alpha on the plane layer 20 (process shown in drawing 2 (G)). As insulating resin, the mixture of thermosetting resin, such as epoxy, BT, polyimide, and an olefin, or thermosetting resin, and thermoplastics can be used. Moreover, a resin film can also be stuck instead of applying resin.

[0024] (6) Form non-through tube of 100-250 micrometers of diameters of opening which result in resin insulating layer 40 between layers to plane layer 20 or wiring 22 40a with a CO2 laser, an YAG laser, excimer laser, or UV laser after heating and stiffening insulating resin 40alpha and considering as the resin insulating layer 40 between layers (process (G)).

[0025] (7) Give a palladium catalyst, and it is immersed to nonelectrolytic plating liquid, and deposit the nonelectrolytic plating film 42 with a thickness of 15 micrometers in homogeneity on the front face of the resin insulating layer 40 between layers, after performing DESUMIYA processing (process (I)). Here, although nonelectrolytic plating is used, it is also possible to form metal membranes, such as copper and nickel, by the spatter. Although the spatter is disadvantageous in cost, there is an advantage which can improve adhesion with resin.

[0026] (8) Succeedingly, a photosensitive dry film is stuck on the front face of the nonelectrolytic plating film 42, lay a mask, carry out exposure and a development, and form the plating-resist resist 43 with a thickness of 15 micrometers (process (J)). And the ceramic plate 10 is immersed in nonelectrolytic plating liquid, a current is passed through the nonelectrolytic plating film 42, and the electrolysis plating 44 is formed in the ageness section of a resist 43 (process (K)).

[0027] (9) and the resist 43 -- 5%KOH a conductor with a thickness of 18 micrometers (10-30 micrometers) which etches with a sulfuric acid and hydrogen-peroxide mixed liquor, carries out dissolution removal of the nonelectrolytic plating film 42 under plating resist, and consists of nonelectrolytic plating 42 and electrolytic copper plating 44 after carrying out exfoliation removal -- a circuit 48 and the Bahia hall 46 are obtained (process shown in drawing 3 (L)).

[0028] furthermore, a chromic acid -- for 3 minutes -- being immersed -- a conductor -- 1-micrometer etching processing of the front face of the resin insulating layer 40 between layers between circuits 48 is carried out, and a surface palladium catalyst is removed. furthermore, the etching reagent containing the 2nd copper complex and an organic acid -- a conductor -- a roughening side (not shown) is formed in the front face of a circuit 48 and the Bahia hall 46, and Sn permutation is further performed on the front face.

[0029] (10) (5) mentioned above Processing of - (9) is repeated and the resin insulating layer 140 between layers and the Bahia hall 146 are formed (process

(M)).

[0030] A solder bump is formed in the package substrate mentioned above. After applying a solder resist constituent to both sides of a substrate by the thickness of 20 micrometers and performing desiccation processing, the photo-mask film (not shown) with a thickness of 5mm with which the circle pattern (mask pattern) was drawn is stuck, it lays, and a development is exposed and carried out by ultraviolet rays. And further, it heat-treats and the solder resist layer (thickness of 20 micrometers) 60 which has opening 60a of a solder pad part (the Bahia hall and its land part are included) is formed (process (N)).

[0031] then, nickel chloride  $2.3 \times 10^{-1}$  mol/l,  $2.8 \times 10^{-1}$  to 1 mol/l. sodium hypophosphite, and sodium-citrate  $1.6 \times 10^{-1}$  mol/l -- since -- it is immersed in the becoming non-electrolyzed nickel-plating liquid of pH=4.5 for 20 minutes, and the nickel-plating layer 62 with a thickness of 5 micrometers is formed in opening 60a. Furthermore, the substrate is immersed in the non-electrolyzed gilding liquid which consists of gold cyanide potassium  $7.6 \times 10^{-3}$  mol/l, ammonium-chloride  $1.9 \times 10^{-1}$  mol/l,  $1.2 \times 10^{-1}$  to 1 mol/l. sodium-citrate, and sodium hypophosphite  $1.7 \times 10^{-1}$  mol/l for 7.5 minutes on 80-degree C conditions, and the gilding layer 64 with a thickness of 0.03 micrometers is formed on the nickel-plating layer 62 (process (O)).

[0032] And opening 60a of the solder resist layer 60 is filled up with soldering paste (not shown). Then, solder with which opening 62 was filled up The solder bump (solder object) 66 is formed by carrying out a reflow at 200 degrees C (refer to drawing 4 ).

[0033] Next, installation of IC chip to this package substrate and the installation to a DOTA board are explained with reference to drawing 5 . The IC chip 70 is laid and the IC chip 70 is attached by performing a reflow so that the solder pad 72 of the IC chip 70 may correspond to the solder bump 66 of the completed package substrate 100. Similarly, the package substrate 100 is attached in the DOTA board 80 by carrying out a reflow of the pad 82 of the DOTA board 80 to the solder bump 66 of the package substrate 100.

[0034] Then, the package substrate concerning the 2nd operation gestalt of this invention is explained with reference to drawing 7 . The package substrate of the 2nd operation gestalt is the same as that of the 1st operation gestalt mentioned above almost. However, in the package substrate of this 2nd operation gestalt, the conductive pin 166 is arranged in a DOTA board side, and it is formed so that connection with a DOTA board may be taken through this conductive pin 166. In drawing 7 , although the conductive pin 166 is T mold with a projection, T mold pin currently generally used may be used for it. Alloys of the quality of the material, such as 42 alloys, are good.

[0035] Although the capacitor of the ceramic plate 10 bottom was used for power sources with the 1st and 2nd operation gestalt mentioned above, it is also possible to use this capacitor for a ground. Furthermore, although the capacitor has been arranged only to the inner layer of a package substrate with this operation gestalt, it is also possible to arrange a chip capacitor in the front face of a package substrate.

[0036]

[Effect of the Invention] Since the distance of IC chip, a capacitor, and a power source becomes short since a capacitor is built in, supply for IC chip is momentarily attained in mass power and a coefficient of thermal expansion is adjusted by the package substrate of the structure of this invention, it is hard to produce the crack in the resin insulating layer between layers. Therefore, dependability improves. Moreover, since the heat emitted from IC chip since IC chip is arranged on the ceramic substrate is also diffused also from a ceramic substrate, the crack near the interface of a ceramic substrate and a resin layer and exfoliation are also prevented.

---

[Translation done.]

\* NOTICES \*

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the production process Fig. of the package substrate concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the production process Fig. of the package substrate concerning the 1st operation gestalt of this invention.

[Drawing 3] It is the production process Fig. of the package substrate concerning the 1st operation gestalt of this invention.

[Drawing 4] It is the sectional view of the package substrate concerning the 1st operation gestalt of this invention.

[Drawing 5] It is the sectional view of the package substrate concerning the 1st operation gestalt of this invention.

[Drawing 6] It is the X-X cross-sectional view of the package substrate shown in drawing 4 .

[Drawing 7] It is the sectional view of the package substrate concerning the 2nd operation gestalt of this invention.

[Drawing 8] It is the sectional view of the package substrate concerning the conventional technique.

### [Description of Notations]

10 Ceramic Plate

10a Through-hole

12 Through Hole

14 Plane Layer  
16 Wiring  
18 Dielectric Layer  
20 Plane Layer  
22 Wiring  
40 Resin Insulating Layer between Layers  
40a A non-through tube  
42 Nonelectrolytic Plating Film  
43 Resist  
44 Electrolysis Plating  
46 Bahia Hall  
48 Conductor -- Circuit  
60 Solder Resist  
60a Opening  
62 Nickel-Plating Film  
64 Gilding Film  
66 Solder Bump  
70 IC Chip  
72 Pad  
80 DOTA Board  
82 Pad  
140 Resin Layer  
146 Bahia Hall  
166 Conductive Pin

---

[Translation done.]

\* NOTICES \*

**JPO and INPIT are not responsible for any  
damages caused by the use of this translation.**

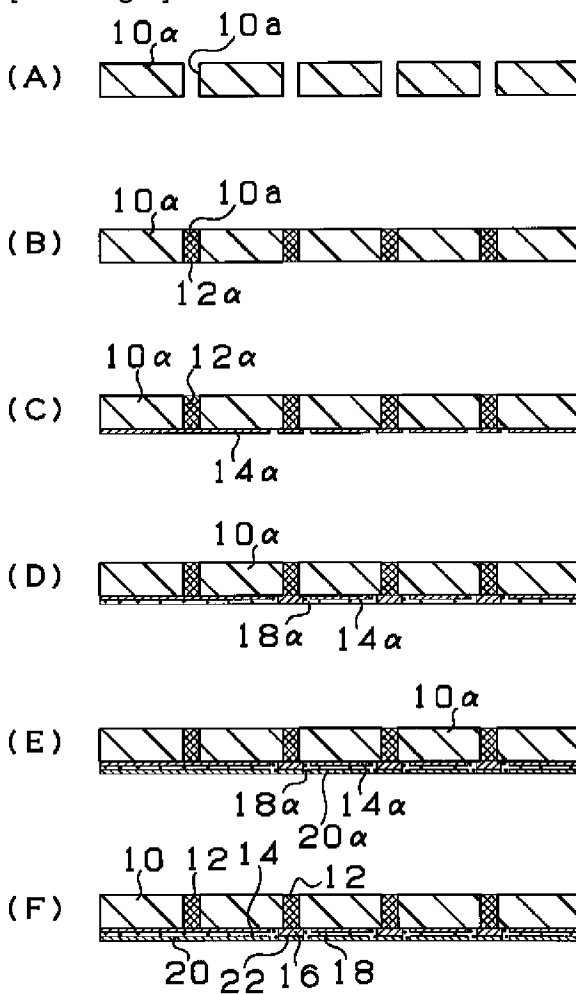
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

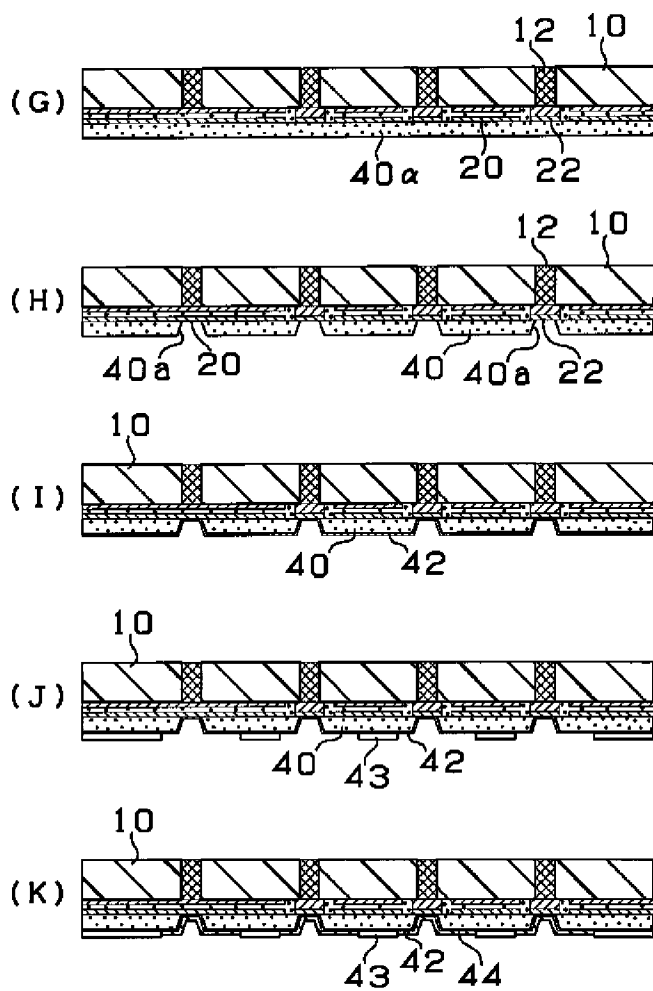
## DRAWINGS

---

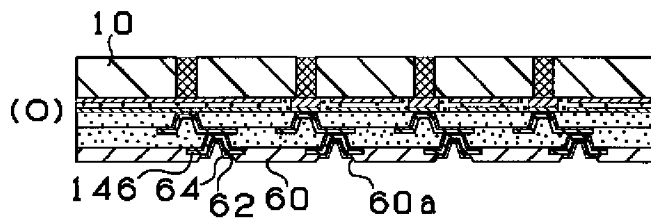
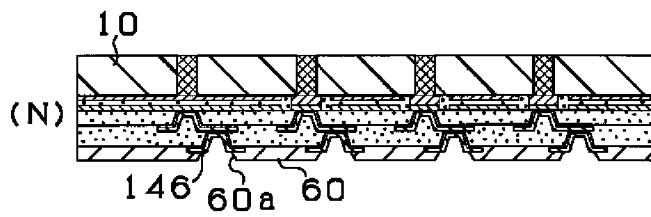
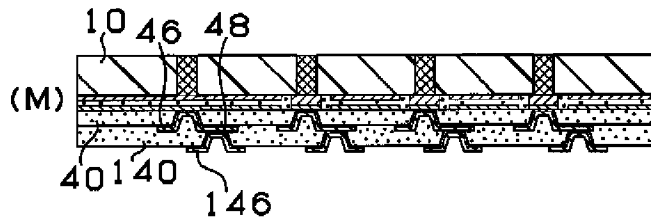
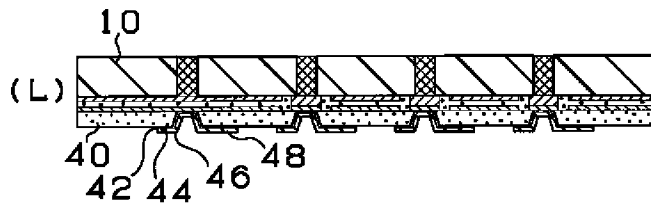
[Drawing 1]



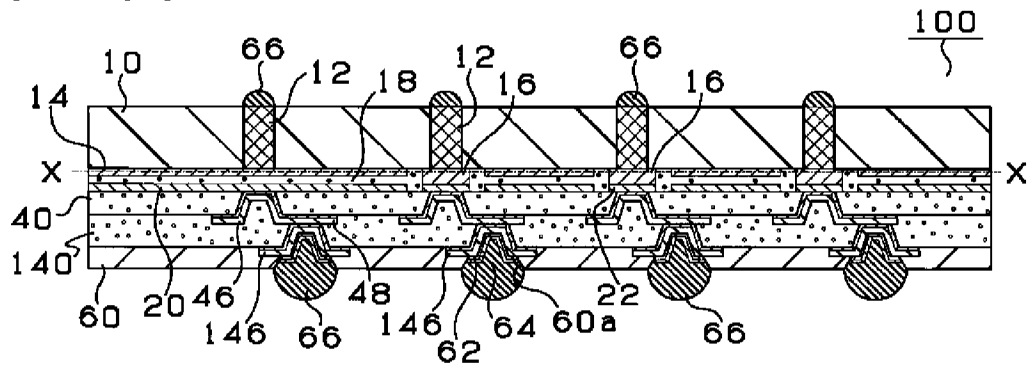
[Drawing 2]



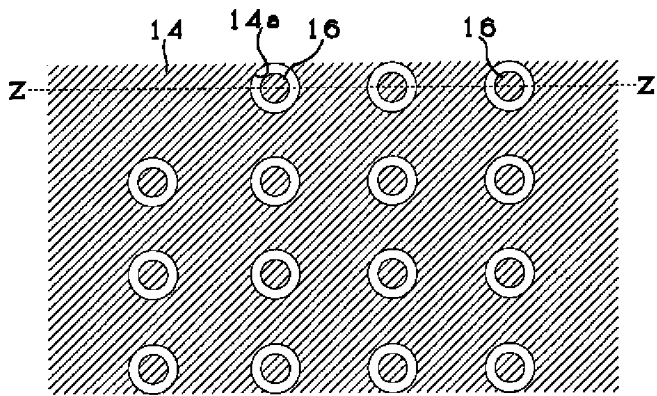
[Drawing 3]



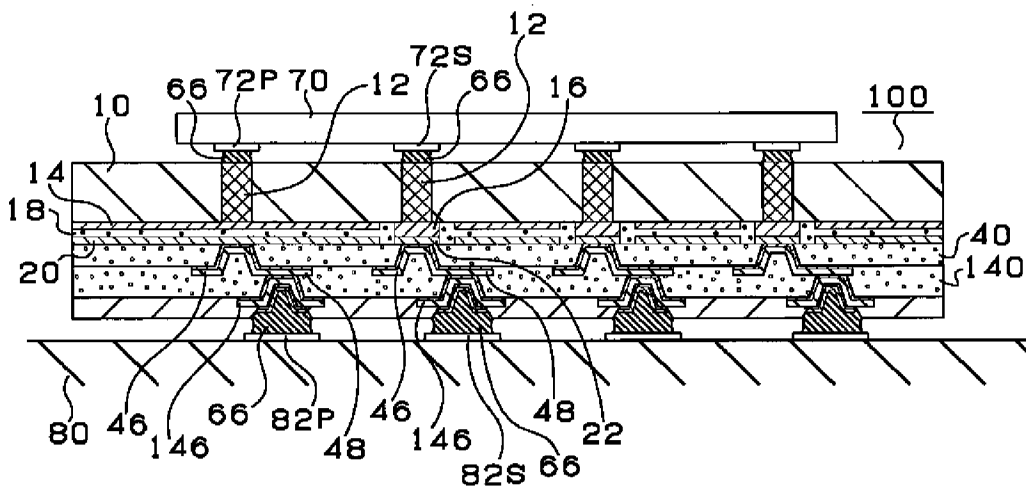
[Drawing 4]



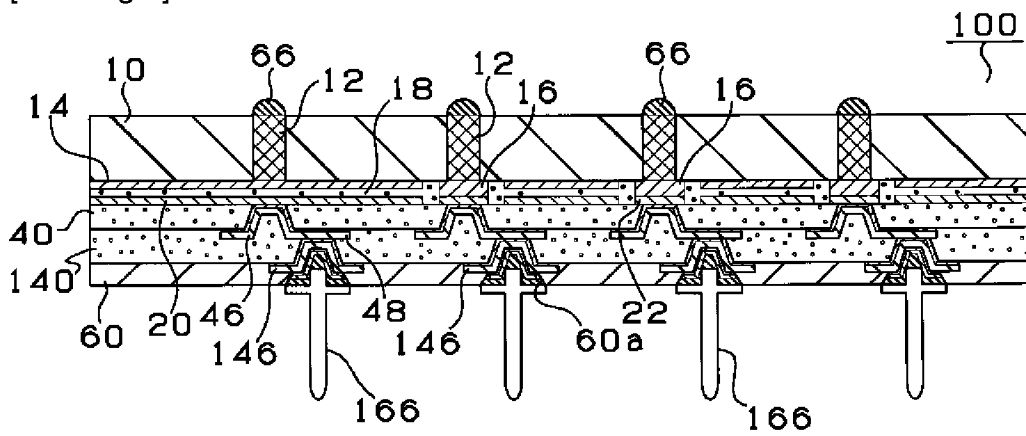
[Drawing 6]



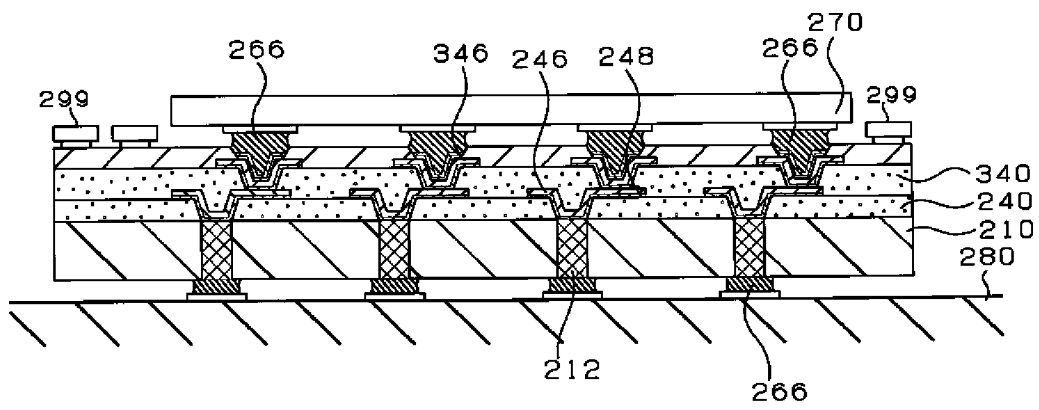
[Drawing 5]



[Drawing 7]



[Drawing 8]



[Translation done.]